

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-259894

(P2004-259894A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl.⁷

H01L 21/66

F I

H01L 21/66

Y

テーマコード (参考)

4M106

審査請求 有 請求項の数 13 O L (全 15 頁)

(21) 出願番号 特願2003-48090 (P2003-48090)
 (22) 出願日 平成15年2月25日 (2003.2.25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100068342
 弁理士 三好 保男
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100108707
 弁理士 中村 友之
 (74) 代理人 100095500
 弁理士 伊藤 正和

最終頁に続く

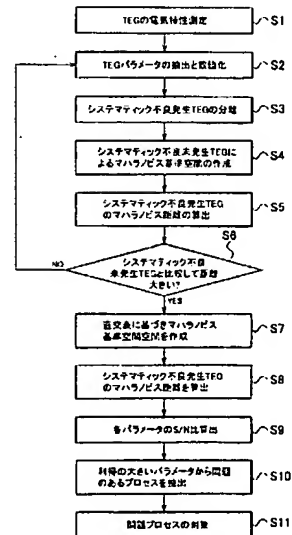
(54) 【発明の名称】 半導体装置の解析方法、解析システム及びプログラム

(57) 【要約】

【課題】半導体装置の製造プロセスの問題点の検出感度を向上させる解析方法を提供する。

【解決手段】半導体基板上に配置された複数のテストエレメントグループの電気特性を測定し、テストエレメントグループのそれぞれのパラメータを数値化し、電気特性からテストエレメントグループのそれぞれをシステムティック不良発生群とシステムティック不良未発生群とに分類し、数値化されたパラメータのうち、システムティック不良未発生群のテストエレメントグループのパラメータで比較用マハラノビス基準空間を作成し、比較用マハラノビス基準空間を用いて、システムティック不良未発生群の第1の比較用マハラノビス距離及びシステムティック不良発生群の第2の比較用マハラノビス距離をそれぞれ算出し、第1及び第2の比較用マハラノビス距離を比較する。

【選択図】 図9



【特許請求の範囲】

【請求項1】

半導体基板上に配置された複数のテストエレメントグループの電気特性を測定するステップと、
前記テストエレメントグループのそれぞれのパラメータを数値化するステップと、
前記電気特性から前記テストエレメントグループのそれぞれをシステムティック不良発生群とシステムティック不良未発生群とに分類するステップと、
数値化された前記パラメータのうち、前記システムティック不良未発生群の前記テストエレメントグループのパラメータで比較用マハラノビス基準空間を作成するステップと、
前記比較用マハラノビス基準空間を用いて、前記システムティック不良未発生群の第1の比較用マハラノビス距離及び前記システムティック不良発生群の第2の比較用マハラノビス距離をそれぞれ算出するステップと、
前記第1及び第2の比較用マハラノビス距離を比較するステップ
とを含むことを特徴とする半導体装置の解析方法。

【請求項2】

算出された前記第1及び第2の比較用マハラノビス距離の間に有意差がない場合は、
数値化された新たなパラメータを追加して前記システムティック不良未発生群の前記テストエレメントグループのパラメータで新たな比較用マハラノビス基準空間を作成する段階と、
前記新たな比較用マハラノビス基準空間を用いて前記システムティック不良未発生群及び前記システムティック不良発生群についてそれぞれ新たな第1及び第2の比較用マハラノビス距離を算出する段階と、
前記新たな第1及び第2の比較用マハラノビス距離を比較する段階
とを前記新たな第1及び第2の比較用マハラノビス距離の間に有意差が認められるまで繰り返すステップを更に含むことを特徴とする請求項1に記載の半導体装置の解析方法。

【請求項3】

前記第1及び第2の比較用マハラノビス距離の間、及び前記新たな第1及び第2の比較用マハラノビス距離の間のいずれかに有意差が認められた場合は、
前記数値化されたパラメータのそれぞれについて、マハラノビス基準空間作成に使用する第1の水準と使用しない第2の水準との2水準の直交表を作成し、前記直交表に基き、前記第1及び第2の水準に対応する第1及び第2の評価用マハラノビス基準空間を作成するステップと、
前記第1及び第2の評価用マハラノビス基準空間を用いて前記システムティック不良発生群の第1及び第2の評価用マハラノビス距離を算出するステップと、
前記第1及び第2の評価用マハラノビス距離を特性値として信号対雑音比を求めるステップ
とを更に含むことを特徴とする請求項1又は2に記載の半導体装置の解析方法。

【請求項4】

前記テストエレメントグループが、配線のオープン及びショートを検査するオープン/ショートテストエレメントグループ、及び多層配線間をビアプラグで鎖状に接続したビアチェーンテストエレメントグループのうち、少なくとも一方を含むことを特徴とする請求項1～3のいずれか1項に記載の半導体装置の解析方法。

【請求項5】

前記パラメータとして、前記オープン/ショートテストエレメントグループの配線長、配線幅、配線間スペース幅、任意の周辺領域を含んだ配線密度、配線被覆率、前記オープン/ショートテストエレメントグループのチップ領域内座標、前記チップ領域の前記半導体基板内座標、上層及び下層に配置されているテストエレメントグループの配線密度、配線被覆率のうち、少なくとも一つを含むことを特徴とする請求項4に記載の半導体装置の解析方法。

【請求項6】

前記パラメータとして、前記ビアチェーンテストエレメントグループの配線長、配線幅、配線間スペース幅、任意の周辺領域を含んだ配線密度、配線被覆率、前記ビアチェーンテストエレメントグループのチップ領域内座標、前記チップ領域の前記半導体基板内座標、上層及び下層に配置されているテストエレメントグループの配線密度、配線被覆率、ビア上下のフリンジ幅、ビアピッチ、ビア規模、及びビア開口率のうち、少なくとも一つを含むことを特徴とする請求項 4 に記載の半導体装置の解析方法。

【請求項 7】

前記システムティック不良発生群と前記システムティック不良未発生群が、前記テストエレメントグループの前記半導体基板内での歩留まり、クリティカルエリアあるいはビア規模で換算した不良率、及び不良の前記半導体基板の面内偏りから分類されることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置の解析方法。 10

【請求項 8】

前記半導体基板のチップ領域に、前記テストエレメントグループが配置されることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の解析方法。

【請求項 9】

前記半導体基板のダイシングラインに前記テストエレメントグループが、配置されることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の解析方法。

【請求項 10】

半導体基板上に配置されたテストエレメントグループのそれぞれのパラメータを仕様及び設計レイアウトから数値化するパラメータ数値化モジュールと、 20

前記テストエレメントグループの電気特性を測定した結果から前記テストエレメントグループをシステムティック不良発生群とシステムティック不良未発生群とに分類する不良分類モジュールと、

前記システムティック不良未発生群の前記テストエレメントグループのパラメータで作成したマハラノビス基準空間を用いて前記システムティック不良未発生群と前記システムティック不良発生群のマハラノビス距離を算出し、前記システムティック不良未発生群と前記システムティック不良発生群について算出された前記マハラノビス距離を比較する統計解析モジュール

とを備えることを特徴とする半導体装置の解析システム。

【請求項 11】

前記仕様及び設計レイアウトのデータを仕様書データベース及び設計レイアウトデータベースに格納するパラメータ記憶ユニットを更に備えることを特徴とする請求項 10 に記載の半導体装置の解析システム。 30

【請求項 12】

前記テストエレメントグループの電気特性を測定した結果が格納される測定情報記憶ユニットを更に備えることを特徴とする請求項 10 又は 11 に記載の半導体装置の解析システム。

【請求項 13】

半導体基板上に配置された複数のテストエレメントグループの各パラメータを数値化する命令と、 40

前記複数のテストエレメントグループの電気特性を測定した結果から前記テストエレメントグループをシステムティック不良発生群とシステムティック不良未発生群とに分類する命令と、

前記システムティック不良未発生群の前記テストエレメントグループのパラメータでマハラノビス基準空間を作成する命令と、

前記マハラノビス基準空間を用いて前記システムティック不良未発生群と前記システムティック不良発生群についてそれぞれ、前記テストエレメントグループのマハラノビス距離を算出して比較する命令

とをコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造プロセスにおける解析方法、解析システムおよびプログラムに関する。

【0002】

【従来の技術】

半導体集積回路等の半導体装置の多機能化に伴い、半導体装置はパターンサイズの縮小化、大規模集積化の要求が常になされている。このような半導体装置を、半導体基板の多数のチップ領域に、均一な性能で歩留まり良く製造する必要がある。半導体装置の製造には多種多様な製造プロセスが用いられている。半導体装置の製造歩留まりを向上させるためには、個々の製造プロセスの歩留まりの向上が要求される。したがって、半導体装置に発生する製造プロセス起因の不良解析は重要となる。

【0003】

半導体装置製造のプロセスの最適化条件の確立や、新しいプロセスの開発、さらにはプロセス制御等のために、半導体基板上に形成したテストパターンを用いて製造プロセスの評価が行なわれることが多い。通常、製造プロセス評価用の様々な種類のテストエレメントグループ（TEG）を搭載したチップやウェハを作製して、各TEGデータの不良解析が行なわれる。製造プロセスで発生する不良には、製造プロセスに起因するシステムティック不良と、偶発的に発生するランダム不良がある。TEGの不良解析では、TEGに発生している不良のうちからシステムティック不良を分類して、関連する製造プロセス上の問題を抽出していく。半導体装置の品質管理を行なう方法として、同一の半導体基板について無欠陥チップを抽出し、無欠陥チップ内のTEGの電気特性の歩留まりと製造プロセスのパラメータとの関係を解析して、システムティック不良による歩留まり劣化の原因を特定しているものがある（例えば、特許文献1参照）。

【0004】

【特許文献1】

特開2001-110867号公報（第4-9頁、図2）

【0005】

【発明が解決しようとする課題】

半導体装置の製造プロセスの開発においては、従来、チップやウェハに搭載したTEG個々の不良解析をおこない、経験的にシステムティック不良の原因を推察している。しかし、単体のTEGの不良解析を中心とする手法では、不良に深く関係するパラメータを抽出することは困難で、根に潜む根本的な製造プロセスの問題点が検出されず、見落とされている可能性がある。

【0006】

本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、半導体装置の製造プロセスの問題点の検出感度を向上させる解析方法、解析システム及びプログラムを提供することである。

【0007】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の態様は、（イ）半導体基板上に配置された複数のテストエレメントグループの電気特性を測定するステップと、（ロ）テストエレメントグループのそれぞれのパラメータを数値化するステップと、（ハ）電気特性からテストエレメントグループのそれぞれをシステムティック不良発生群とシステムティック不良未発生群とに分類するステップと、（ニ）数値化されたパラメータのうち、システムティック不良未発生群のテストエレメントグループのパラメータで比較用マハラノビス基準空間を作成するステップと、（ホ）比較用マハラノビス基準空間を用いて、システムティック不良未発生群の第1の比較用マハラノビス距離及びシステムティック不良発生群の第2の比較用マハラノビス距離をそれぞれ算出するステップと、（ヘ）第1及び第2の比較用マハラノビス距離を比較するステップとを含む半導体装置の解析方法であることを要旨とする。

【0008】

本発明の第2の態様は、(イ)半導体基板上に配置された複数のテストエレメントグループのそれぞれのパラメータを仕様及び設計レイアウトから数値化するパラメータ数値化モジュールと、(ロ)テストエレメントグループの電気特性を測定した結果からテストエレメントグループをシステムティック不良発生群とシステムティック不良未発生群とに分類する不良分類モジュールと、(ハ)システムティック不良未発生群のテストエレメントグループのパラメータで作成したマハラノビス基準空間を用いてシステムティック不良未発生群とシステムティック不良発生群のマハラノビス距離を算出し、システムティック不良未発生群とシステムティック不良発生群について算出されたマハラノビス距離を比較する統計解析モジュールとを備える半導体装置の解析システムであることを要旨とする。 10

【0009】

本発明の第3の態様は、(イ)半導体基板上に配置された複数のテストエレメントグループの各パラメータを数値化する命令と、(ロ)複数のテストエレメントグループの電気特性を測定した結果からテストエレメントグループをシステムティック不良発生群とシステムティック不良未発生群とに分類する命令と、(ハ)システムティック不良未発生群のテストエレメントグループのパラメータでマハラノビス基準空間を作成する命令と、(ニ)マハラノビス基準空間を用いてシステムティック不良未発生群とシステムティック不良発生群についてそれぞれ、テストエレメントグループのマハラノビス距離を算出して比較する命令とをコンピュータに実行させるためのプログラムであることを要旨とする。 20

【0010】

【発明の実施の形態】

以下図面を参照して、本発明の実施の形態について説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号が付してある。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0011】

本発明の実施の形態に係る解析システムは、図1に示すように、解析に用いるTEGの仕様及び設計レイアウトをそれぞれ格納する仕様書データベース11及び設計レイアウトデータベース12を含むパラメータ記憶ユニット10と、作製したTEGの各種の特性の測定結果が格納される測定情報記憶ユニット13と、不良解析を実行する演算ユニット14と、演算結果を保管する解析情報記憶ユニット19と、入出力端末20とを備えている。演算ユニット14は、パラメータ記憶ユニット10に格納された仕様及び設計レイアウトを基にTEGのパラメータを数値化するパラメータ数値化モジュール15と、プロセス起因のシステムティック不良が発生したTEGを分類する不良分類モジュール16と、TEGのパラメータ解析を行なう統計解析モジュール17と、TEGの不良解析を実施するプログラムコードを格納する内部記憶モジュール18とを備える。更に、統計解析モジュール17は、TEGパラメータのマハラノビス距離算出部21と、マハラノビス距離判定部22と、パラメータ抽出部23とを備えている。演算ユニットは、コンピュータの中央演算処理装置(CPU)等で実現されている。 30 40

【0012】

本発明の実施の形態に係る不良解析においては、例えば、オープン/ショートTEGやビアチェーンTEG等が用いられ、寸法や規模を変化させた種類は数百に上る。

【0013】

オープン/ショートTEGは、平面上に形成された配線の断線(オープン)及び配線間の短絡(ショート)を調べるTEGである。オープン/ショートTEGは、図2に示すように、例えば紙面に向かって左右方向に重なるように多重に折り畳まれて配線された配線幅W1の銅(Cu)あるいはアルミニウム(Al)等の導体からなる主線路40と、主線路 50

40の折り畳まれた間隙に、紙面に向かって上及び下方向からそれぞれ櫛状に配置された配線幅W2のCuあるいはAl等の導体からなる副線路43及び45とを備えている。主線路40と隣接する副線路43あるいは45のスペース幅はWsとされている。電気特性測定用として、主線路40の両端には、主パッド41及び42が接続され、櫛状の副線路43及び45には、それぞれ副パッド44及び46が接続されている。主パッド41、42間で導通が無ければ、オープン不良となる。また、主パッド41、42と副パッド44あるいは46との間に導通があれば、ショート不良となる。オープン/ショートTEGは、多層に堆積された各層間絶縁膜上に設けられる。

【0014】

オープン/ショートTEGのパラメータとしては、例えば、主線路40の配線長、配線幅W1、主線路40と副線路43、45間のスペース幅Ws、副線路43、45の配線幅W2等の配線の各部寸法、任意の周辺領域を含んだ単位面積あたりの配線長として規定された配線密度、任意の周辺領域表面での配線被覆率、TEGのチップ内座標、TEGを含むチップの半導体基板内座標、上層及び下層に配置されているTEGの配線密度と配線被覆率等が含まれる。オープン/ショートTEGにおいて、解析対象として有用と判断されたパラメータが、例えば図3に示すように、適宜選択される。そして、図1に示したパラメータ数値化モジュール15は選択されたパラメータを、仕様書データベース11及び設計レイアウトデータベース12に格納されている仕様書及び設計レイアウトデータを基に数値化する。

【0015】

ビアチェーンTEGは、図4に示すように、下層配線53と上層配線55とをビアプラグ54で鎖状に接続したビアチェーンの導通を調べるTEGである。ビアチェーンTEGのA-A断面構造は、図5に示すように、半導体基板30の上部に設けられたシリコン酸化膜(SiO2)等の下層絶縁膜51の表面に配置されたCuあるいはAl等の導体からなる複数の下層配線53と、下層絶縁膜51の上に設けられたSiO2等の上層絶縁膜52の表面に配置されたCuあるいはAl等の導体からなる複数の上層配線55と、上層絶縁膜52に設けられた層間のビアホールを埋め込んで配置され、下層配線53と上層配線55とを鎖状に接続するCuあるいはタングステン(W)等の導体からなるビアプラグ54とを備えている。更に、上層配線55の表面安定化のため、上層絶縁膜52の表面にシリコン窒化膜(Si3N4)等の保護絶縁膜56が設けられる。

【0016】

図5においては、上層及び下層の2層構造の配線について説明したが、更に、3層構造以上の多層構造に適用できることは勿論である。すなわち、下層絶縁膜51としては多層配線構造を構成する複数の層間絶縁膜もしくはフィールド絶縁膜のうち任意の絶縁膜を選択可能である。上層絶縁膜52は下層絶縁膜51の直上の絶縁膜が選択されるが、図1においては保護絶縁膜56の直下の最上層の層間絶縁膜が、一例として示されている。

【0017】

ビアプラグ54で接続される下層配線53及び上層配線55の両端には、図4に示すように、下層フリンジ57及び上層フリンジ58が設けられ、ビア径Wvより配線幅が下層フリンジ幅Wf1及び上層フリンジ幅Wf2だけ大きくされている。ビアプラグ54は、一定のビアピッチPvで配置されている。ビアチェーンの両端には、電気特性測定用のパッド59及び60が備えられている。パッド59及び60間の導通が無ければ、不良とされる。ビアチェーンTEGのパラメータとしては、配線長、配線幅、スペース幅等の下層配線53及び上層配線55の各部寸法、任意の周辺領域を含んだ単位面積あたりの配線長として規定された配線密度、任意の周辺領域表面での配線被覆率、TEGのチップ領域内座標、TEGを含むチップ領域の半導体基板内座標、上層及び下層に配置されているTEGの配線密度と配線被覆率、下層及び上層フリンジ幅Wf1、Wf2、ビアピッチPv、ビアチェーンに含まれるビアプラグ54の数であるビア規模、あるいはビア径Wvより求められる単位面積あたりのビア開口率等が含まれる。ビアチェーンTEGのパラメータのなかで、解析対象として有用と判断されたパラメータが、例えば図6に示すように、適宜選

択される。そして、図 1 に示したパラメータ数値化モジュール 15 は選択されたパラメータを、仕様書データベース 11 及び設計レイアウトデータベース 12 に格納されている仕様書及び設計レイアウトデータを基に数値化する。

【0018】

本発明の実施の形態において、TEG パターンの作製は、TEG の仕様書及び設計レイアウトを基に作成されたフォトリソマスクを用いて行なわれる。フォトリソマスクとしては、TEG パターンだけを搭載した専用のものであってもよいし、半導体装置の製品チップのパターンと共に TEG パターンを搭載した製造用フォトリソマスクであってもよい。製造用フォトリソマスクを使用する場合、TEG パターンは半導体装置のパターンが形成されない、例えば、ダイシングライン等に配置される。フォトリソマスクに搭載された TEG パターンは、例えば、縮小投影露光装置などを用いて、図 7 に示すように、半導体基板 30 の複数のチップ領域 32a、32b、・・・、32n、・・・に転写される。半導体製造プロセスを経て作製された各 TEG パターンは、全チップ領域 32a、32b、・・・、32n、・・・について、プローバ等の検査装置を用いて電気特性の良・不良が測定され、測定結果は各 TEG パターンごとにまとめられて測定情報記憶ユニット 13 に格納される。

【0019】

測定情報記憶ユニット 13 に格納された測定結果を用いて、不良分類モジュール 16 は、製造プロセス起因のシステムティック不良の判定を行なう。各 TEG パターンについてシステムティック不良が発生しているかどうかは、(i) 歩留まりが基準値以下か、(ii) クリティカルエリアやビア規模で換算した不良率が基準値以上か、(iii) 不良発生に半導体基板 30 の面内の偏りがあるか、等により判定される。ここで、「クリティカルエリア」とは、配線密度とダスト等の欠陥の粒径分布より算出される不良率の分布である。

【0020】

システムティック不良の判定後、統計解析モジュール 17 は、不良分類モジュール 16 で分類されたシステムティック不良未発生 TEG 群とシステムティック不良発生 TEG 群を統計的に処理して不良解析を行なう。

【0021】

統計解析モジュール 17 のマハラノビス距離算出部 21 は、システムティック不良未発生 TEG のパラメータ値からマハラノビス基準空間を作成する。マハラノビス基準空間は、各パラメータ間の相関係数の行列の逆行列 a_{ij} で表される。マハラノビス距離算出部 21 は、マハラノビス基準空間を用いてシステムティック不良未発生 TEG 群及びシステムティック不良発生 TEG 群それぞれのマハラノビス距離 D を次式に従って算出する。

【0022】

【数 1】

$$D^2 = \frac{1}{k} \sum_{ij} a_{ij} \left(\frac{X_i - m_i}{\sigma_i} \right) \left(\frac{X_j - m_j}{\sigma_j} \right)$$

・・・ (1)

ここで、 k は解析対象のパラメータの数、 X_i は対象となる TEG のパラメータ i ($i = 1 \sim k$) の設計値、 m_i 、 σ_i はパラメータ i の設計値 X_i の平均値および標準偏差である。

【0023】

マハラノビス距離判定部 22 は、システムティック不良未発生 TEG 群に対してシステムティック不良発生 TEG 群のマハラノビス距離 D が大きくなり、有意差があるか比較することにより、解析対象のパラメータが適切に選択されているか判定する。

【0024】

システムティック不良未発生 TEG 群及びシステムティック不良発生 TEG 群のマハラノ

ビス距離Dが分離することが確認できたら、システマティック不良に関連するTEGのパラメータの抽出が品質工学の手法により行なわれる。品質工学では、直交表を用いて一度に多数のパラメータが評価される。「直交表」とは、制御するパラメータに水準を設定し、あるパラメータの特定の水準に対して、他のパラメータの全ての水準が同数回ずつ現れるように作成された割付表である。直交表に基き、パラメータの各水準で特性値を算出し望大特性の信号対雑音比(S/N比) η を求め、S/N比 η の利得の大きいパラメータを抽出する。「望大特性」とは品質特性のうち、負の値をとることなく、大きければ大きいほど良い特性のことである。S/N比 η は、一般にはばらつきの指標であるが、本発明の実施の形態において用いる望大特性のS/N比 η は、特性値 y_1, y_2, \dots, y_n の逆数の分散 σ^2 から求められる：

$$\sigma^2 = (1/n) \cdot (y_1^{-2} + y_2^{-2} + \dots + y_n^{-2}) \quad \dots \quad (2)$$

$$\eta = -10 \cdot \log(\sigma^2) \quad \dots \quad (3)$$

S/N比 η が大きいほどパラメータの影響が大きいことを意味する。

【0025】

パラメータ抽出部23は、システマティック不良発生TEGの各パラメータについて、マハラノビス基準空間に使う場合を第1の水準、使わない場合を第2の水準とする2水準で直交表を作成する。そして、マハラノビス距離算出部21が直交表を基に、第1及び第2の水準に対応するマハラノビス基準空間を算出する。更に、第1及び第2の水準に対応するマハラノビス基準空間を用いて新たにシステマティック不良発生TEGの第1及び第2の水準に対応するマハラノビス距離Dを算出して特性値とし、各パラメータの第1及び第2の水準に対する望大特性のS/N比 η が算出される。第2の水準に比べ第1の水準でのS/N比 η が大きい、即ち利得の大きいパラメータ程システマティック不良発生に影響していると判定されるため、利得の大きいパラメータと関係するプロセスが問題点として抽出される。

【0026】

統計解析モジュール17は解析した結果を、解析情報記憶ユニット19に転送して保管する。入出力端末20は、解析情報記憶ユニット19に保管された解析結果を取得し、表示装置あるいはプリンタ等に出力する。また、入出力端末20は、解析結果を統計解析モジュール17から直接取得して表示装置あるいはプリンタ等に出力する。

【0027】

本発明の実施の形態に係る解析システムで求められた各TEGパラメータに対するS/N比の一例を、図8に示す。横軸には、TEGパラメータ(1)～(42)それぞれについて、第1の水準(「1」と表記)及び第2の水準(「2」と表記)が示されている。図8に示すように、例えば、利得の小さいパラメータ、あるいはTEGパラメータ(2)及び(4)のように逆に第2の水準が第1の水準に比べS/N比が大きくなるようなパラメータは検討の対象からは除外し、大きな利得を示しているTEGパラメータ(18)、(22)、あるいは(26)についてシステマティック不良発生原因の検討が行なわれる。例えば、TEGパラメータ(18)が下層配線密度であるとする、下層の平坦化プロセス等に問題があると判断され、平坦化プロセスの改善が検討されることになる。このように、本発明の実施の形態に係る解析システムによれば、TEGのシステマティック不良解析を速やかに行なうことができ、製造プロセスの問題点の検出を高感度に行なうことができる。

【0028】

次に、本発明の実施の形態にかかる解析方法を、図9に示すフローチャートを用いて説明する。

【0029】

(イ)まず、解析に供するTEGが半導体基板上の複数のチップ領域のそれぞれに作製され、ステップS1で、それぞれのTEGの電気特性が測定され、測定結果が図1に示した測定情報記憶ユニット13に格納される。

【0030】

(ロ) ステップS2で、演算ユニット14のパラメータ数値化モジュール15により、仕様書データベース11及び設計レイアウトデータベース12に格納されている仕様書及び設計レイアウトデータから設計値を取得して、チップ領域に作製されたTEGの各パラメータを数値化する。

【0031】

(ハ) ステップS3で、不良分類モジュール16により、測定情報記憶ユニット13に格納されているTEGの測定結果を基に、半導体装置の製造プロセス起因のシステムティック不良が発生したTEGを、歩留まり、クリティカルエリアやビア規模で換算した不良数、不良の面内偏り具合等から判定し分類する。

【0032】

(ニ) ステップS4で、統計解析モジュール17のマハラノビス距離算出部21により、分類されたシステムティック不良未発生TEGのパラメータ値から作成した比較用マハラノビス基準空間を用いて、システムティック不良未発生TEGの第1の比較用マハラノビス距離を算出する。

【0033】

(ホ) ステップS5で、マハラノビス距離算出部21により、比較用マハラノビス基準空間を用いて、更にシステムティック不良発生TEGの第2の比較用マハラノビス距離を算出する。

【0034】

(ヘ) ステップS6で、マハラノビス距離判定部22により、システムティック不良未発生TEG及びシステムティック不良発生TEGの第1及び第2の比較用マハラノビス距離を比較する。第1及び第2の比較用マハラノビス距離が重なってしまうようであれば、ステップS2に戻り、TEGのパラメータを追加してシステムティック不良未発生TEG及びシステムティック不良発生TEGの第1及び第2の比較用マハラノビス距離の再計算を実施する。

【0035】

(ト) 第2の比較用マハラノビス距離が第1の比較用マハラノビス距離に比べて大きくなり、分離することが確認できれば、ステップS7で、パラメータ抽出部23により各パラメータについて評価用マハラノビス基準空間に使う場合を第1の水準、使わない場合を第2の水準とする2水準で直交表を作成する。そして、マハラノビス距離算出部21により、直交表に基き、第1及び第2の水準に対応する第1及び第2の評価用マハラノビス基準空間を算出する。

【0036】

(チ) 更にマハラノビス距離算出部21により、ステップS8で、第1及び第2の評価用マハラノビス基準空間を用いて、第1及び第2の水準に対応するシステムティック不良発生TEGの第1及び第2の評価用マハラノビス距離を新たに算出する。

【0037】

(リ) パラメータ抽出部23により、ステップS9で、新たに算出した第1及び第2の評価用マハラノビス距離を特性値として、各パラメータのS/N比 η を算出する。

【0038】

(ヌ) ステップS10で、各パラメータのS/N比 η から、パラメータ抽出部23により、利得の大きいパラメータを抽出する。抽出されたパラメータを基に、ステップS11で、システムティック不良発生の原因となる製造プロセスを検討し、システムティック不良発生に影響しているプロセスの対策を講じる。

【0039】

本発明の実施の形態に係る解析方法を用いて、例えば、図10に示すようなS/N比 η のグラフが得られる。S/N比 η のグラフより、ビア開口率と上層フリンジ幅がシステムティック不良発生に大きく関わっていると判定される。ビア開口率と上層フリンジ幅のパラメータの散布図をシステムティック不良発生の有無で分けて表示した結果が図11である。ビア開口率が小さく且つ上層フリンジ幅が小さいTEGにシステムティック不良が集中

10

20

30

40

50

して発生していることが分かる。この結果、ビア開口率が小さいとプロセスマージンがなくビア形状が変化してしまい、更にフリンジ幅が小さくなることでビアホールへの金属の埋め込み性が悪くなりビアプラグ54にボイドが発生し、ビアチェーンTEGがオープンに至ったものと判断される。このように、本発明の実施の形態に係る解析方法によれば、TEGによる半導体装置製造プロセスの不良解析やプロセス改善の指針を速やかに提示することが出来る。

【0040】

(その他の実施の形態)

上記のように、本発明の実施の形態を記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施の形態及び運用技術が明らかとなろう。

【0041】

例えば、本発明の実施の形態においては、チップに搭載するTEGとして、オープン/ショートTEG及びビアチェーンTEGを例として説明したが、種々の寸法、構造をもつトランジスタ群、種々の面積をもつキャパシタ群等の各種のTEGを含んでもよいことは、勿論である。

【0042】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0043】

【発明の効果】

本発明によれば、半導体装置の製造プロセスの問題点の検出感度を向上させる解析方法を提供することができる。

【0044】

また、本発明によれば、半導体装置の製造プロセスの問題点を感度よく検出する解析システムを提供することができる。

【0045】

また、本発明によれば、半導体装置の製造プロセスの問題点の検出感度を向上させる解析を実施するプログラムを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る解析システムの構成の一例を示すブロック図である。

【図2】本発明の実施の形態に係る解析方法に用いるオープン/ショートTEGの概略図である。

【図3】本発明の実施の形態に係る解析方法に用いるTEGのパラメータの数値化表の一例を示す図である。

【図4】本発明の実施の形態に係る解析方法に用いるビアチェーンTEGの平面概略図である。

【図5】本発明の実施の形態に係る解析方法に用いるビアチェーンTEGの断面概略図である。

【図6】本発明の実施の形態に係る解析方法に用いるTEGのパラメータの数値化表の他の例を示す図である。

【図7】本発明の実施の形態に係る解析方法に用いるTEGを作製する半導体基板上のチップ領域の概観図である。

【図8】本発明の実施の形態に係る解析方法によるS/N比の一例を示すグラフである。

【図9】本発明の実施の形態に係る解析方法を説明するフローチャートである。

【図10】本発明の実施の形態に係る解析方法によるS/N比の他の例を示すグラフである。

【図11】本発明の実施の形態に係る解析方法により得られたビア開口率と上層フリンジ幅の関係をj示す散布図である。

10

20

30

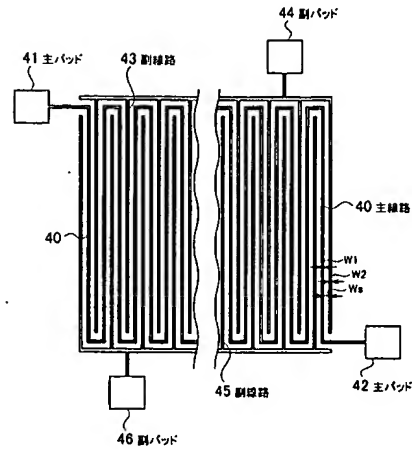
40

50

【符号の説明】

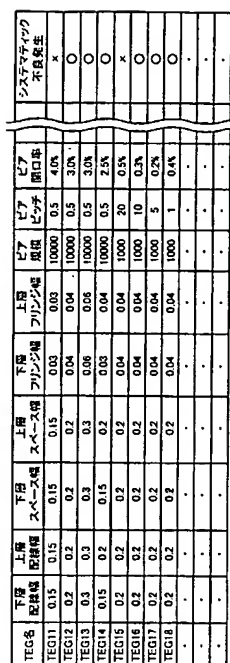
1 0	パラメータ記憶ユニット	
1 1	仕様書データベース	
1 2	設計レイアウトデータベース	
1 3	測定情報記憶ユニット	
1 4	演算ユニット	
1 5	パラメータ数値化モジュール	
1 6	不良分類モジュール	
1 7	統計解析モジュール	
1 8	内部記憶モジュール	10
1 9	解析情報記憶ユニット	
2 0	入出力端末	
2 1	マハラノビス距離算出部	
2 2	マハラノビス距離判定部	
2 3	パラメータ抽出部	
3 0	半導体基板	
3 2 a、3 2 b、3 2 n	チップ領域	
4 0	主線路	
4 1、4 2	主パッド	
4 3、4 5	副線路	20
4 4、4 6	副パッド	
5 1	下層絶縁膜	
5 2	上層絶縁膜	
5 3	下層配線	
5 4	ビアプラグ	
5 5	上層配線	
5 6	保護絶縁膜	
5 7	下層フリンジ	
5 8	上層フリンジ	
5 9、6 0	パッド	30

【圖 2】

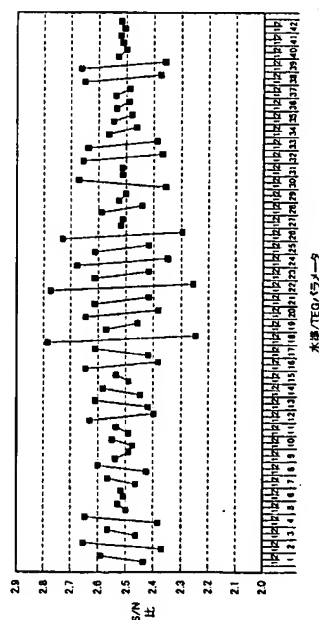


【图 4】

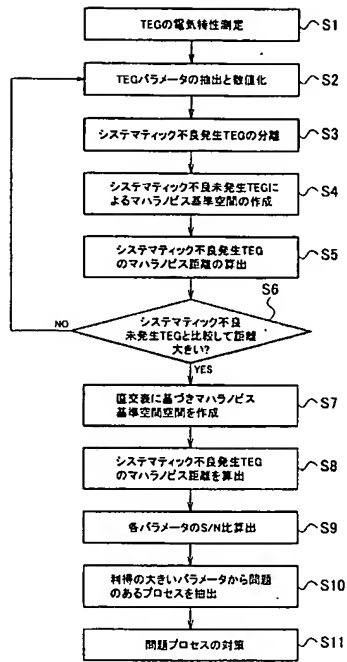
【图 6】



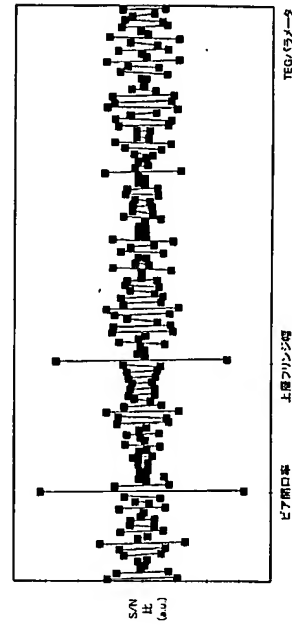
【图 8】



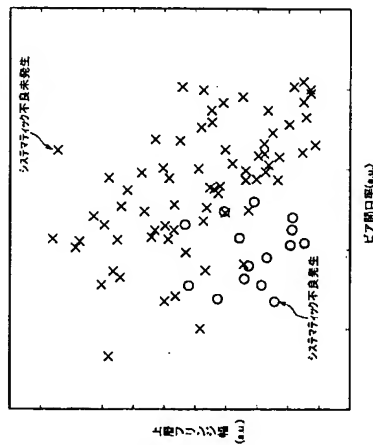
【図 9】



【図 10】



【図 11】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 門多 健一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 4M106 AA01 AC20 BA01 DJ20